

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03248413 **Image available**

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY

PUB. NO.: 02-223913 [JP 2223913 A]

PUBLISHED: September 06, 1990 (19900906)

INVENTOR(s): TAKAHATA MASARU

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-043000 [JP 8943000]

FILED: February 27, 1989 (19890227)

INTL CLASS: [5] G02F-001/133; G02F-001/133; G02F-001/136; G09F-009/30

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1134, Vol. 14, No. 530, Pg. 21,
November 21, 1990 (19901121)

ABSTRACT

PURPOSE: To accomplish the display of half tone owing to contrivance for the constitution of a circuit by discharging a display signal impressed on the electrode of a liquid crystal terminal only via the off-resistance of a TFT both when a TFT Q(sub 1) is an on-state and a TFT Q(sub 2) is in an off-state and when the TFT Q(sub 1) is in the off-state and the TFT Q(sub 2) is the on-state.

CONSTITUTION: As to the constitution of the circuit, the optional display signal VDT impressed on optional one dot is impressed on the drain of the TFT Q(sub 1) which is constituted in one dot and the source of the Q(sub 1) is connected to the drain of the TFT Q(sub 2). The source of the Q(sub 2) is connected to the electrode of the liquid crystal terminal and transfer gate TFT selection voltage VSC is impressed on the gate of the Q(sub 1), then the selection voltage VG of one line of a display part is impressed on the gate of the Q(sub 2). Therefore, sufficient effective voltage is impressed between the liquid crystal terminals even if the cross-resistance generated by the superposition of the scanning electrode and the signal electrode in the display part is not so high. Thus, the normal display of an image including the display of the half tone is obtained. A large area and high definition liquid crystal display is easily formed and the cost of the display is made low.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-223913

⑬ Int. Cl.

G 02 F 1/133

識別記号

5 5 0

5 7 5

5 0 0

3 3 8

庁内整理番号

8708-2H

8708-2H

7370-2H

8422-5C

⑭ 公開 平成2年(1990)9月6日

G 09 F 1/136
9/30

審査請求 未請求 請求項の数 6 (全7頁)

⑮ 発明の名称 アクティブマトリクス液晶ディスプレイ

⑯ 特 願 平1-43000

⑰ 出 願 平1(1989)2月27日

⑱ 発 明 者 高 島

勝

茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男

外2名

明 細 書

1. 発明の名称

アクティブマトリクス液晶ディスプレイ

2. 特許請求の範囲

1. アクティブマトリクス液晶ディスプレイにおいて、任意の1ドットに印加される任意の表示
信号Vorは1ドット内に構成されるTFT(Thin Film Transistor) Q₁のドレインに印
加され、Q₁のソースはTFT Q₂のドレイン
に接続され、Q₂のソースは液晶端子電極に接
続され、Q₁、Q₂のゲートには異なるタイミ
ングでオン電圧V_{on}(TFTのしきい値電圧V_{th}以
上の電圧)或いはオフ電圧(V_{th}以下の電圧)
が印加されることを特徴とするアクティブマ
トリクス液晶ディスプレイ。2. アクティブマトリクス液晶ディスプレイの表
示部内の1ドットの構成において、表示信号
Vorは少なくとも直列に2個以上接続された
TFTを介して液晶端子に印加され、少なくと
も1ドット内の全てのTFTは同じタイミングでオン状態或いはオフ状態にならないことを特
徴とするアクティブマトリクス液晶ディスプレ
イ。3. アクティブマトリクス液晶ディスプレイにお
いて、少なくとも2ドット以上の表示信号を同
時に表示部に印加し、1ドット内のTFTの構
成は上記請求項1或いは2記載の構成であるこ
とを特徴とするアクティブマトリクス液晶ディ
スプレイ。4. 上記請求項1、2、3記載のTFTは多結晶
シリコンで形成することを特徴とするアクティ
ブマトリクス液晶ディスプレイ。5. 上記請求項1、2、3、4記載のディスプレ
イはガラス基板上に形成することを特徴とする
アクティブマトリクス液晶ディスプレイ。6. 上記請求項1、2、3、4、5記載のアクテ
ィブマトリクス液晶ディスプレイをワープロ、
パソコン、カメラ、ワークステーション等に組
み込んだことを特徴とする表示システム。

3. 発明の詳細な説明

特開平2-223913(2)

【産業上の利用分野】

本発明は液晶ディスプレイに係り、特にアクティブマトリクス液晶ディスプレイの中間調表示に好適な回路方式及び駆動方式に関する。

【従来の技術】

従来、アクティブマトリクス液晶ディスプレイにおいて、表示信号を多重マトリクススイッチ器によって制御し、マトリクス部ごとに表示信号を表示部に入力する方法は例えば特開明56-99394号に記載されている。ここで、上記従来技術を説明するために、多重マトリクススイッチ方式を用いた場合の表示部内の1ドット内の回路構成と信号制御回路との構成を図2図に示す。

図2図において、 V_{or} は表示信号、 V_{ac} とトランスファゲートTFTQ₁のゲートに印加されるトランスファゲートTFT通電圧、 C_{1100} は信号線から見た1ラインの容量、 R_{cross} は信号線から見た1ラインの走査電極と信号電極との重なりにより生じるクロス抵抗、 V_o は表示部1ラインの選択電圧、 Q_1 は1ドット内のTFT、 C_{sc}

R_{cross} を充分高くすることが極めて困難である。よって、図2図の回路構成において Q_1 がオン状態で且つ Q_2 がオフ状態になると、 V_{or} は R_{cross} を經由して瞬時に放電してしまふ。これでは液晶端子間に充分な実効電圧が印加されないため、正常な画像表示が得られない。特に0.1V程度の制御を必要とする中間調表示を行う場合には $10^8 \Omega$ 程度の極めて高抵抗の R_{cross} が要求される。

本発明の目的は R_{cross} が充分高くなくても回路構成を工夫することにより中間調表示を可能にすることにある。

【課題を解決するための手段】

上記目的はアクティブマトリクス液晶ディスプレイにおいて、任意の1ドット内に印加される任意の表示信号 V_{or} は1ドット内に構成されるTFTQ₁のドレインに印加され、 Q_1 のソースはTFTQ₁のドレインに接続され、 Q_2 のソースは液晶端子電極に接続され、 Q_1 、 Q_2 のゲートには異なるタイミングでオン電圧 V_o (TFTのしきい値電圧 V_T 以上の電圧)或いはオフ電圧(V_T

は対流共通電極に印加する直流電圧、 C_{sc} は1ドット内の液晶容量を示す。又、下部に V_o 、 V_{ac} 、 V_{or} のタイミングチャートを示す。動作としては、

1) V_o がオン電圧(TFTのしきい値電圧 V_T 以上の電圧)、即ちTFTQ₁がオン状態で且つ、 V_{ac} がオン電圧、即ちTFTQ₂がオン状態の時、任意の表示信号 V_{or} は少なくともTFTQ₁を經由して C_{1100} 及び C_{sc} に印加される。

2) V_o がオン電圧、即ちTFTQ₁がオン状態で且つ、 V_{ac} がオフ電圧(TFTの V_T 以下の電圧)、即ちTFTQ₂がオフ状態の時、 C_{1100} 及び C_{sc} に印加された表示信号 V_{or} は R_{cross} と Q_2 のオフ抵抗(オフ状態におけるソース、ドレイン間抵抗) R_{off} を經由して放電される。

3) V_o がオフ電圧、即ちTFTQ₁がオフ状態の時、 C_{sc} に印加された表示信号 V_{or} は Q_2 のオフ抵抗 R_{off} を經由して放電される。

4) 以下、1)~3)を繰り返す。

【発明が解決しようとする課題】

ところで、現状プロセスでは大面積において

以下の電圧)が印加される駆動にすることにより達成される。

【作用】

上記回路構成だと、TFTQ₁がオン状態で且つTFTQ₂がオフ状態の時、或いはTFTQ₁がオフ状態で且つTFTQ₂がオン状態の時どちらの場合も液晶端子電極に印加された表示信号 V_{or} はTFTのオフ抵抗 R_{off} (オフ状態におけるソース、ドレイン間抵抗)のみを經由して放電される。即ち、上記回路構成だと C_{sc} に印加された V_{or} は比較的抵抗である R_{cross} を經由して放電されることはない。よって、このことにより液晶端子間に充分な実効電圧が印加されるので中間調表示を含む正常な画像表示が得られる。

【実施例】

以下、本発明の一実施例を図1図により説明する。

図1図は表示部1ドット内の本発明の基本回路構成を示したものである。ここで、回路構成としては任意の1ドットに印加される任意の表示信号

特開平2-223913(3)

V_{DT} は1ドット内に構成されるTFTQ₁のドレインに印加され、Q₁のソースはTFTQ₁のドレインに接続され、Q₂のソースは液晶端子電極に接続され、Q₂のゲートにはトランスファゲートTFT選択電圧 V_{ao} が印加され、Q₃のゲートには表示部の1ラインの選択電圧 V_a が印加される構成である。

ここで、 V_a 、 V_{ao} 、 V_{DT} のタイミングチャートを第1図の下部に示している。又、第1図において、 C_{line} は信号線から見た1ラインの容量、 R_{cross} は信号線から見た1ラインの走査電極と信号電極との重なりにより生じるクロス抵抗、 C_{sc} は1ドット内の液晶容量 V_{co} は対抗共通電極に印加する直流電圧を示す。動作としては、

1) V_a がオン電圧(TFTのしきい値電圧 V_T 以上の電圧)、即ちTFTQ₁がオン状態で且つ、 V_{ao} がオン電圧、即ちTFTQ₂がオン状態の時、任意の表示信号 V_{DT} はTFTQ₁及びTFTQ₂を経由して C_{sc} に印加される。

2) V_a がオン電圧、即ちTFTQ₃がオン状

1ドット内には $n+1$ 個のTFTが用いられている。このうち n 個のTFT(Q_{sc1}~Q_{scn})のゲートにはトランスファゲートTFT選択電圧 V_{sc1} ~ V_{scn} がおのおのの印加され、残りのTFTQ₃のゲートには表示部1ラインの選択電圧 V_a が印加される。

又、隣接したTFTのソース、ドレイン端子は互いに接続されており、一番左端のTFTQ_{sc1}のドレインには任意の表示信号 V_{DT} が印加され、一番右端のTFTQ₃のソースには液晶端子電極が接続されている。同、図中において C_{line} は信号線から見た1ラインの容量、 R_{cross} は信号線から見た1ラインの走査電極と信号電極との重なりにより生じるクロス抵抗、 C_{sc} は1ドット内の液晶容量 V_{co} は対抗共通電極に印加する直流電圧を示す。

又、 V_a 、 V_{sc1} ~ V_{scn} 、 V_{DT} のタイミングチャートを図中の下部に示している。動作としては、

1) V_a がオン電圧、即ちTFTQ₃がオン状態で且つ、 V_{sc1} ~ V_{scn} 全てがオン電圧、即ち

で且つ、 V_{sc} がオフ電圧(TFTの V_T 以下の電圧)、即ちTFTQ₁がオフ状態の時、 C_{sc} に印加された表示信号 V_{DT} はQ₁のオフ抵抗 R_{off1} (オフ状態におけるソース、ドレイン間抵抗)のみを経由して放電される。

3) V_a がオフ電圧、即ちTFTQ₃がオフ状態の時、 C_{sc} に印加された表示信号 V_{DT} は少なくともQ₂のオフ抵抗 R_{off2} を経由して放電される。

4) 以下、1)~3)を繰り返す。

上記回路構成だと、いかなる動作状態においても C_{sc} に印加された V_{DT} は比較的高抵抗であるTFTのオフ抵抗を経由して放電される。言い換えれば C_{sc} に印加された V_{DT} はどのような動作条件においても比較的低抵抗である R_{cross} を経由して放電されることはない。よって、上記回路構成にすることにより液晶端子間に充分な実効電圧が印加されるので中間調表示を含む正常な画像表示が得られる。

第3図は表示部1ドット内の本発明の一回路構成を示したものである。図に示しているように、

TFTQ_{sc1}~Q_{scn}全てがオン状態の時、任意の表示信号 V_{DT} はTFTQ_{sc1}~Q_{scn}、Q₃を経由して C_{sc} に印加される。

2) V_a がオン電圧、即ちTFTQ₃がオン状態で且つ、 V_{sc1} ~ V_{scn} の一部がオフ電圧、即ちTFTQ_{sc1}~Q_{scn}の一部がオフ状態の時、 C_{sc} に印加された表示信号 V_{DT} はQ_{sc1}~Q_{scn}の中のオフ状態になったTFTのオフ抵抗を経由して放電される。

3) V_a がオン電圧、即ちTFTQ₃がオン状態で且つ、 V_{sc1} ~ V_{scn} の全てがオフ電圧、即ちTFTQ_{sc1}~Q_{scn}の全てがオフ状態の時、 C_{sc} に印加された表示信号 V_{DT} はQ_{sc1}~Q_{scn}の全てのオフ抵抗 R_{off1} を経由して放電される。

4) V_a がオフ電圧、即ちTFTQ₃がオフ状態の時、 C_{sc} に印加された表示信号 V_{DT} は少なくともQ₂のオフ抵抗 R_{off2} を経由して放電される。

5) 以下、1)~4)を繰り返す。

上記回路構成だと、いかなる動作状態においても

特開平2-223913(4)

も C_{sc} に印加された V_{or} は比較的高抵抗である TFT のオフ抵抗を經由して放電される。言い換えれば C_{sc} に印加された V_{or} はどのような動作条件においても比較的低抵抗である R_{cross} を經由して放電されることはない。よつて、上記回路構成にすることにより液晶素子間に充分な実効電圧が印加されるので中間調表示を含む正常な画像表示が得られる。

第4図は表示部1ドット内の本発明の一回路構成を示したものである。図に示しているように、1ドット内には $n+1$ 個の TFT が用いられている。このうち n 個の TFT ($Q_{sc1} \sim Q_{scn}$) のゲートにはトランスファゲート TFT 選択電圧 V_{sc} が印加され、残りの TFT Q_s のゲートには表示部1ラインの選択電圧 V_o が印加される。又、隣接した TFT のソース、ドレイン端子は互いに接続されており、一番左側の TFT Q_{sc1} のドレインには任意の表示信号 V_{or} が印加され、一番右側の TFT Q_s のソースには液晶素子電極が接続されている。尚、図中において C_{sc} は信号線から

見た1ラインの容量、 R_{cross} は信号線から見た1ラインの走査電極と信号電極との重なりにより生じるクロス抵抗、 C_{sc} は1ドット内の液晶容量、 V_{sc} は対抗共通電極に印加する直流電圧を示す。

又、 V_o 、 V_{sc} 、 V_{or} のタイミングチャートを図中の下部に示している。動作としては、

1) V_o がオン電圧、即ち TFT Q_s がオン状態で且つ、 V_{sc} がオン電圧、即ち TFT $Q_{sc1} \sim Q_{scn}$ 全てがオン状態の時、任意の表示信号 V_{or} は $Q_{sc1} \sim Q_{scn}$ 、 Q_s を經由して C_{sc} に印加される。

2) V_o がオン電圧、即ち TFT Q_s がオン状態で且つ、 V_{sc} がオフ電圧、即ち TFT $Q_{sc1} \sim Q_{scn}$ 全てがオフ状態の時、 C_{sc} に印加された表示信号 V_{or} は $Q_{sc1} \sim Q_{scn}$ の全てのオフ抵抗 $\sum_{k=1}^n R_{or,k}$ を經由して放電される。

3) V_o がオフ電圧、即ち TFT Q_s がオフ状態の時、 C_{sc} に印加された表示信号 V_{or} は少なくとも Q_s のオフ抵抗 $R_{or,s}$ を經由して放電される。

4) 以下、1)～4) を繰り返す。

上記回路構成だと、いかなる動作状態においても C_{sc} に印加された V_{or} は比較的高抵抗である TFT のオフ抵抗を經由して放電される。言い換えれば C_{sc} に印加された V_{or} はどのような動作条件においても比較的低抵抗である R_{cross} を經由して放電されることない。よつて、上記回路構成にすることにより液晶素子間に充分な実効電圧が印加されるので中間調表示を含む正常な画像表示が得られる。

第5-1図は本発明を $N \times M$ 本の白黒表示 VDT に適用した場合の一実施例である。ここで表示信号 V_{or} は3ドット分同時に入力している(多重マトリクススイッチ方式)。図中において $V_{or1} \sim V_{or3}$ は表示信号、 $V_{o1} \sim V_{o3}$ は表示部1ラインの選択電圧、 $V_{sc1} \sim V_{sc3}$ はトランスファゲート TFT 選択電圧である。

第5-2図は第5-1図に示した $V_{o1} \sim V_{o3}$ のタイミングチャートである。図中において f_r はフレーム周波数を示し、 $1/f_r$ は一画面を構成

する時間を示す。動作としては $V_{or1} \sim V_{or3}$ は $1/f_r$ 秒の間に走査ライン N 本を順次選択していく。

第5-3図は第5-1図に示した $V_{sc1} \sim V_{sc3}$ 、 $V_{or1} \sim V_{or3}$ のタイミングチャートである。図中において $1/(f_r \cdot N)$ は一つの走査ラインが選択されている時間であり、 $3/(f_r \cdot N \cdot M)$ は1つのトランスファゲート TFT 選択電圧がオン電圧 (TFT の V_T 以上の電圧) になっている時間である。動作としては $V_{sc1} \sim V_{sc3}$ は $1/(f_r \cdot N)$ 秒の間に信号ライン M 本にトランスファゲート TFT を經由して任意の表示信号 V_{or} を3ドット分ごとに順次印加している。

上記回路構成だと、1) LCD (Liquid Crystal Display) パネルと信号側外部回路との接続点数の削減、2) 信号側外部回路のコストの低減等の利点がある。

第6図は本発明を用いた場合の周辺回路内蔵アクティブマトリクス液晶ディスプレイのシステム構成を示したものである。図中において1はガラス基板、2は本発明を用いて構成した表示部、3

特開平2-223913 (5)

は走査側駆動回路、4は信号側駆動回路、5は外部制御回路である。図中において表示部2、走査側駆動回路3、信号側駆動回路4のトランジスタは多結晶シリコンTFTで形成されており、外部回路5は単結晶シリコンで形成されている。

上記液晶ディスプレイのシステムを用いることにより、1) LCDパネルと外部回路との接続点数の大幅削減、2) 外部回路のコスト低減等の利点がある。又、上記液晶ディスプレイのシステムをワープロ、パソコン、カメラ、ワークステーション等の表示システムに組み込むことにより、

1) システムのコンパクト化、2) システムの低コスト化等の利点がある。

〔発明の効果〕

本発明によれば表示部内の走査電極と信号電極との重なりにより生ずるクロス抵抗が充分高くなくとも、液晶分子間には充分な実効電圧が印加されるので、1) 中間調表示を含む正常な画像表示が得られる。2) 大面積液晶ディスプレイが容易に形成できる。3) 高解像度液晶ディスプレイが容

易に形成できる。4) 液晶ディスプレイの低コスト化が計れる等の効果がある。

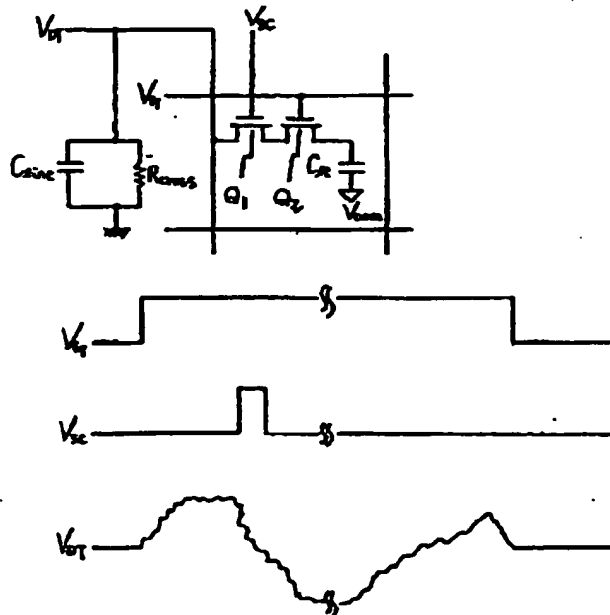
4. 図面の簡単な説明

第1図、第3図、第4図は本発明の一実施例の表示部1ドット内の回路構成図、第2図は多重マトリクススイッチ方式を用いた場合の従来の表示部内1ドット内の回路構成と信号側駆動回路との構成図、第5-1図、第5-2図、第5-3図は本発明をN×M本の白黒表示VDTに適用した場合の構成図、第6図は本発明を用いた場合の周辺回路内蔵アクティブマトリクス液晶ディスプレイのシステム構成図である。

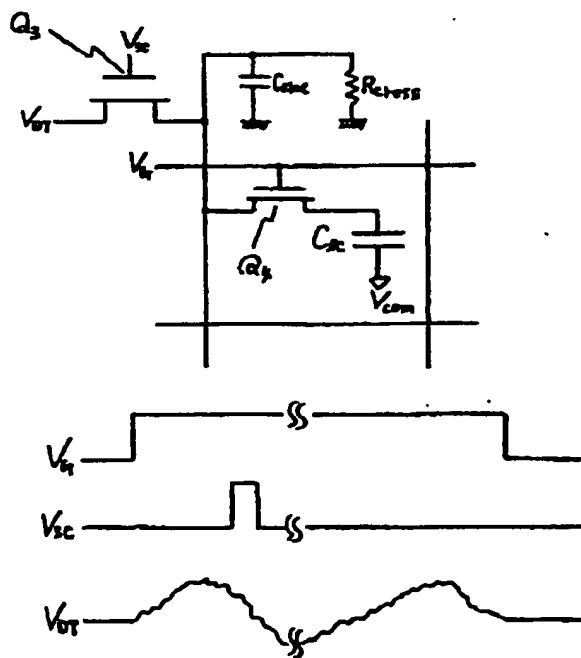
1—ガラス基板、2—本発明を用いて構成した表示部、3—走査側駆動回路、4—信号側駆動回路、5—外部制御回路。

代理人 弁理士 小川勝男

第1図

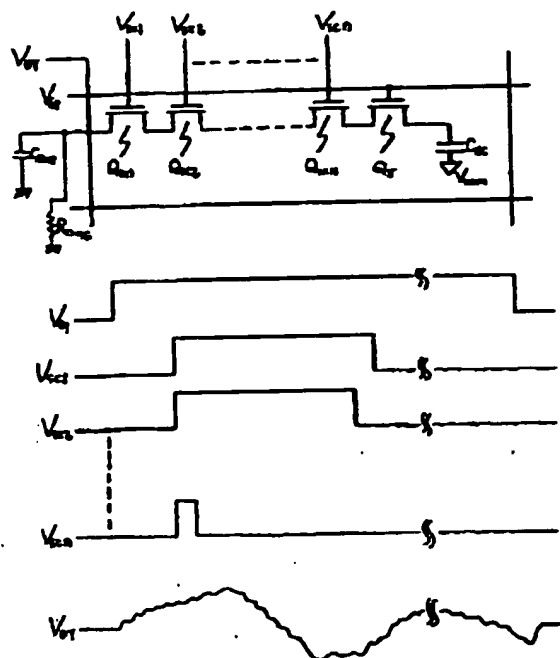


第2図

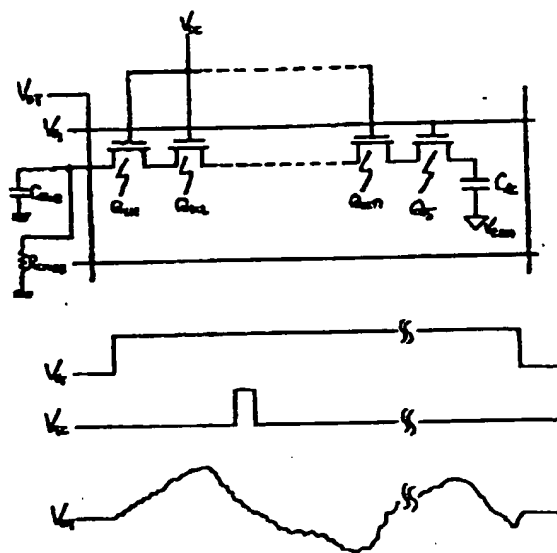


特開平2-223313 (6)

第3回

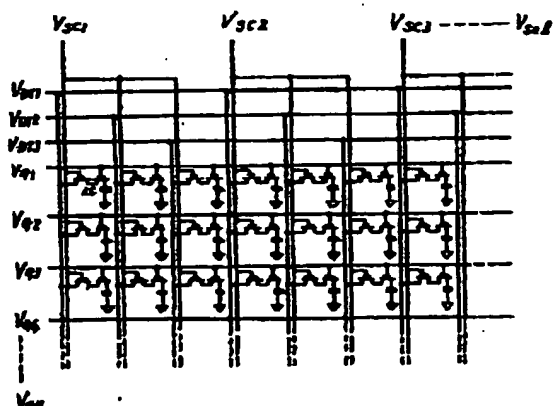


第4回



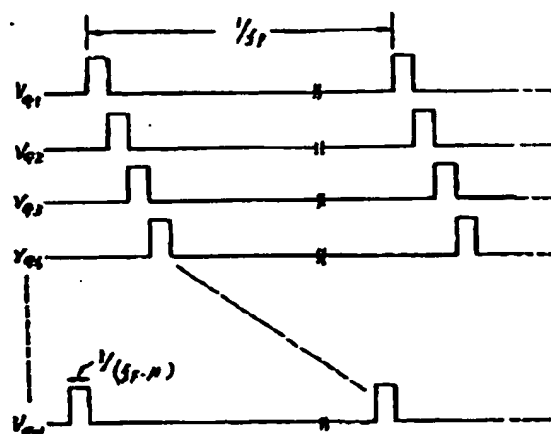
図面の符号(内容に変更なし)

第5-1回

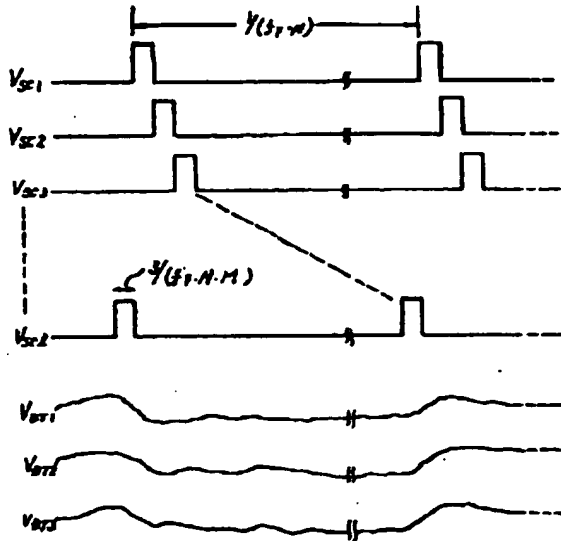
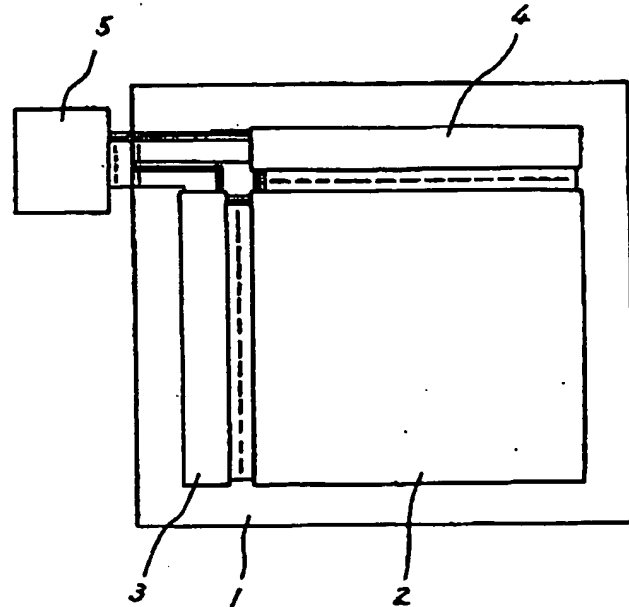


図面の符号(内容に変更なし)

第5-2回



特開平2-223913 (7)

図面の浄書(内容に変更なし)
第 5-3 図図面の浄書(内容に変更なし)
第 6 図

手 続 補 正 書(方式)

平成 1 年 8 月 23 日

特許庁長官 吉田文雄 殿

事件の番号

平成 1 年 特許第 43000 号

発明の名称 アタライブマトリクス液晶ディスプレイ

補正をする者

事件との関係 特許出願人

〒 100 株式会社 日立製作所

代理人

〒 100 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内 電 03-222-1111(代表)

〒 100 弁護士 小川 勝 男

補正命令の日付 平成1年8月30日(発送日)

補正の対象

図面の第5図および第6図

補正の内容

原簿に最初に添付した図面の第5図および第6図の浄書・別紙のとおり(内容に変更なし)

方式
特許
吉川特許庁
1. 8. 23